

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

United States Patent

5,554,945

Lee, et al.

September 10, 1996

Voltage controlled phase shifter with unlimited range

Abstract

A voltage-controlled phase shift apparatus having an unlimited range for producing an output signal that varies in phase from an input signal by a predetermined phase difference. The phase shift apparatus includes a first delay circuit coupled to receive the input signal, the first delay circuit for outputting a first intermediate signal that is .alpha. degrees out of phase with the input signal, a second intermediate signal that is .beta. degrees out of phase with the first intermediate signal, a third intermediate signal that is 180 degrees out of phase with the first intermediate signal, and a fourth intermediate signal that is 180 degrees out of phase with the second intermediate signal. The phase shift apparatus also includes a phase interpolator circuit coupled to receive a control voltage signal and the first, second, third and fourth intermediate signals, the phase interpolator for phase mixing a selected pair of the first, second, third and fourth intermediate signals in response to the control voltage signal, the phase interpolator for outputting the output signal. A phase selector circuit coupled to the phase interpolator circuit and coupled to receive a phase slope signal and the control voltage signal selects the selected pair in response to the phase slope signal and the control voltage signal such that the output signal varies in phase from the input signal by the predetermined phase difference.

Inventors: Lee; Thomas H. (Cupertino, CA); Donnelly; Kevin S. (San Francisco, CA); Ho; Tsyr-Chyang (San Jose, CA)

Assignee: Rambus, Inc. (Mountain View, CA)

Appl. No.: 1965824

Filed: February 15, 1994

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平9-512965

(43) 公表日 平成9年(1997)12月22日

(51) Int.Cl.⁶

H 0 3 H 11/20

識別記号

庁内整理番号

8731-5J

F I

H 0 3 H 11/20

A

審査請求 未請求 予備審査請求 有 (全 36 頁)

(21) 出願番号 特願平7-521224
(86) (22) 出願日 平成7年(1995)1月16日
(85) 翻訳文提出日 平成8年(1996)8月15日
(86) 国際出願番号 PCT/US95/00836
(87) 国際公開番号 WO95/22200
(87) 国際公開日 平成7年(1995)8月17日
(31) 優先権主張番号 08/196, 582
(32) 優先日 1994年2月15日
(33) 優先権主張国 米国 (US)

(71) 出願人 ランパス・インコーポレーテッド
アメリカ合衆国 94040 カリフォルニア
州・マウンテンビュー・レイザム ストリ
ート・2465
(72) 発明者 リー, トーマス・エイチ
アメリカ合衆国 95014 カリフォルニア
州・カパチーノ・パブ ロード・939
(72) 発明者 ドネリー, ケビン・エス
アメリカ合衆国 94131 カリフォルニア
州・サンフランシスコ・ノア・1671
(74) 代理人 弁理士 山川 政樹 (外5名)

最終頁に続く

(54) 【発明の名称】 制限されないレンジを有する電圧制御位相シフト

(57) 【要約】

入力信号に対して所定の位相差だけ位相が異なる出力信号を発生させる制限されないレンジを有する電圧制御位相シフト装置。また、位相シフト装置は、入力信号を受信するように結合され、入力信号に対して α 度位相がずれた第1の中間信号と、第1の中間信号に対して β 度位相がずれた第2の中間信号と、第1の中間信号に対して180度位相がずれた第3の中間信号と、第2の中間信号に対して180度位相がずれた第4の中間信号とを出力する第1の遅延回路を含む。また、位相シフト装置は、制御電圧信号、第1、第2、第3および第4の中間信号を受信するように結合され、制御電圧信号にตอบสนองして第1、第2、第3および第4の中間信号の選択した対を位相混合して出力信号を出力するための位相インタポレータ回路を含む。位相インタポレータ回路に結合され、位相スロープ信号および制御電圧信号を受信するように結合された位相セクタ回路は、出力信号が入力信号に対して所定の位相差だけ位相が異なるように、位相スロープ信号および制御電圧信号にตอบสนองして選択した対を選択する。

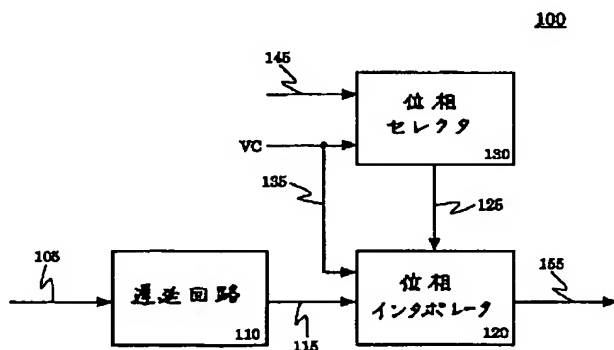


Figure 1

【特許請求の範囲】

1. 制御電圧に応答して、入力信号に対して所定の位相差だけ位相が異なる出力信号を発生させる位相シフト装置において、

入力信号を受信するように結合され、入力信号に対して α 度位相がずれた第1の中間信号と、第1の中間信号に対して β 度位相がずれた第2の中間信号とを出力する第1の遅延回路と、

制御電圧信号、第1の中間信号および第2の中間信号を受信するように結合され、出力信号が第1の中間信号の第1の加重部分と第2の中間信号の第2の加重部分との和となるように、制御電圧信号に응答して第1の中間信号と第2の中間信号を位相混合して出力信号を発生させる位相インタポレータ回路とを含む位相シフト装置。

2. 制御電圧が差動電圧 V_{C+} および V_{C-} であり、位相インタポレータが、

供給電流を受ける第1の端子、供給電流を分配する第2の端子、および V_{C+} に응答して第1の端子から第2の端子へ流れる供給電流の量を制御する第3の端子を含む第1のトランジスタと、

供給電流を受ける第4の端子、供給電流を分配する第5の端子、および V_{C-} に응答して第1の端子から第2の端子へ流れる供給電流の量を制御する第6の端子を含む第2のトランジスタと、

第1のコンデンサと、

第2のコンデンサと、

第1のコンデンサに結合された負の入力および第2のコンデンサに結合された正の入力を有し、出力電圧を出力するコンパレータと、

第2の端子に結合された第1の入力、第5の端子に結合された第2の入力と、第1のコンデンサに結合された第1の出力と、第2のコンデンサに結合された第2の出力を含み、第1の中間信号に응答して第1の入力を第1の出力に対して結合・減結合し、第2の中間信号に응答して第2の入力を第2の出力に対して結合・減結合する位相ミキサ回路とを含むことを特徴とする請求の範囲第1項に記載の位相シフト装置。

3. 制御電圧に応答して、入力信号に対して所定の位相差だけ位相が異なる出力信号を発生させる位相シフト装置において、

入力信号を受信するように結合され、入力信号に対して α 度位相がずれた第1の中間信号と、第1の中間信号に対して β 度位相がずれた第2の中間信号と、第1の中間信号に対して180度位相がずれた第3の中間信号と、第2の中間信号に対して180度位相がずれた第4の中間信号とを出力する第1の遅延回路と、

制御電圧信号および第1、第2、第3および第4の中間信号を受信するように結合され、出力信号が選択した対の各選択した中間信号の加重部分の和となるように、制御電圧信号に응答して第1、第2、第3および第4の中間信号の選択した対を位相混合して出力信号を発生させる位相インタポレータ回路と、

位相インタポレータ回路に結合され、位相スロープ信号および制御電圧信号を受信するように結合され、出力信号が入力信号に対して所定の位相差だけ位相が異なるように、位相スロープ信号および制御電圧信号に응答して選択した対を選択する位相セクタ回路とを含む位相シフト装置。

4. 位相セクタ回路が、

制御電圧が最大電圧レベルにある場合にMAX信号を出力し、制御電圧が最小電圧レベルにある場合にMIN信号を出力する象限境界検出器であって、MAX信号およびMIN信号が、第1の選択した対の選択した中間信号の加重部分がいつ0に等しくなるかを示す象限境界検出器と、

MAX信号、MIN信号および位相スロープ信号を受信するように結合され、MAX信号、MIN信号および位相スロープ信号に응答して、ISEL信号、ISELB信号、QSEL信号およびQSELB信号を含む複数の選択信号のうちの2つの選択信号をアクティブとしてアサートすることによって選択した対を選択する位相セクタ状態機械とを含むことを特徴とする請求の範囲第1項に記載の位相シフト装置。

5. 制御電圧が差動電圧 V_{C+} および V_{C-} であり、位相インタポレータが、

供給電流を受ける第1の端子、供給電流を分配する第2の端子、および V_{C+} に응答して第1の端子から第2の端子へ流れる供給電流の量を制御する第3の端子を含む第1のトランジスタと、

供給電流を受ける第4の端子、供給電流を分配する第5の端子、およびV_C-に
応答して第1の端子から第2の端子へ流れる供給電流の量を制御する第6の端
子を含む第2のトランジスタと、

第1のコンデンサと、

第2のコンデンサと、

第1のコンデンサに結合された負の入力および第2のコンデンサに結合された
正の入力を有し、出力電圧を出力するコンパレータと、

複数の選択信号および中間信号を受信するように結合され、第2の端子に結合
された第1の入力と、第5の端子に結合された第2の入力と、第1のコンデンサ
に結合された第1の出力と、第2のコンデンサに結合された第2の出力とを含み
、第1の中間信号および第3の中間信号のうちの選択した中間信号に応答して、
第1の入力を第1の出力に対して結合・減結合し、第2の中間信号および第4の
中間信号に応答して第2の入力を第2の出力に対して結合・減結合する位相ミキ
サ回路とを含むことを特徴とする、請求の範囲第4項に記載の位相シフト装置。

6. 位相ミキサ回路が、第1の入力を第1の出力に対して結合・減結合するよ
うに第1の中間信号を選択した場合に、第3の中間信号に応答して第1の入力を
第2の出力に対して結合・減結合することを特徴とする請求の範囲第5項に記載
の位相シフト装置。

7. 制御電圧に応答して、入力信号に対して所定の位相差だけ位相が異なる出
力信号を発生させる位相シフト装置において、

入力信号を受信するように結合され、第1の中間信号と、第1の中間信号に対
して90度位相がずれた第2の中間信号と、第1の中間信号に対して180度位
相がずれた第3の中間信号と、第1の中間信号に対して270度位相がずれた第
4の中間信号とを出力し、第1、第2、第3および第4の中間信号の中間周波数
が入力周波数の $1/2$ に等しくなるように、入力信号の入力周波数を $1/2$ に分
割する周波数分割器回路を含む遅延回路と、

制御電圧信号および第1、第2、第3および第4の中間信号を受信するように
結合され、第1の出力信号が第1の選択した対の各選択した中間信号の加重部分
の和となるように、制御電圧信号に応答して第1、第2、第3および第4の中間

信号の第1の選択した対を位相混合して第1の出力信号を発生させる第1の位相インタポレータ回路と、

制御電圧信号および第1、第2、第3および第4の中間信号を受信するように結合され、第2の出力信号が第2の選択した対の各選択した中間信号の加重部分の和となるように、制御電圧信号に応答して第1、第2、第3および第4の中間信号の第2の選択した対を位相混合して第1の出力信号に対して90度位相がずれた第2の出力信号を発生させる第2の位相インタポレータ回路と、

第1の出力信号および第2の出力信号を受信するように結合され、第1の出力信号および第2の出力信号に応答して、入力周波数に等しい出力周波数を有する出力信号を発生させる周波数倍増回路と、

位相インタポレータ回路に結合され、位相スロープ信号および制御電圧信号を受信するように結合され、出力信号が入力信号に対して所定の位相差だけ位相が異なるように、位相スロープ信号および制御電圧信号に応答して第1の選択した対および第2の選択した対を選択する位相セクタ回路とを含む位相シフト装置。

8. 位相セクタ回路が、

制御電圧が最大電圧レベルにある場合にMAX信号を出力し、制御電圧が最小電圧レベルにある場合にMIN信号を出力する象限境界検出器であって、MAX信号およびMIN信号が、第1の選択した対の選択した中間信号の加重部分がいつ0に等しくなるかを示す象限境界検出器と、

MAX信号、MIN信号および位相スロープ信号を受信するように結合され、MAX信号、MIN信号および位相スロープ信号に応答して、ISEL信号、ISELB信号、QSEL信号およびQSELB信号を含む複数の選択信号のうちの2つの選択信号をアクティブとしてアサートすることによって選択した対を選択する位相セクタ状態機械とを含むことを特徴とする請求の範囲第7項に記載の位相シフト装置。

9. 制御電圧が差動電圧 V_{C+} および V_{C-} であり、第1の位相インタポレータが、

供給電流を受ける第1の端子、供給電流を分配する第2の端子、および V_{C+}

出力信号が第 1 の中間信号の第 1 の加重部分と第 2 の中間信号の第 2 の加重部

分との和となるように、制御電圧信号に応答して第1の中間信号と第2の中間信号を位相混合して出力信号を発生させるステップとを含む位相シフト方法。

12. 制御電圧に応答して、入力信号を位相シフトして所定の位相差を有する

出力信号を発生させる位相シフト方法において、

入力信号に応答して、入力信号に対して α 度位相がずれた第1の中間信号を発生させるステップと、

入力信号に応答して、第1の中間信号に対して β 度位相がずれた第2の中間信号を発生させるステップと、

入力信号に応答して、第1の中間信号に対して180度位相がずれた第3の中間信号を発生させるステップと、

入力信号に応答して、第2の中間信号に対して180度位相がずれた第4の中間信号を発生させるステップと、

出力信号が選択した対の各選択した中間信号の加重部分の和となるように、制御電圧信号に応答して第1、第2、第3、および第4の中間信号の選択した対を位相混合して出力信号を発生させるステップと、

出力信号が入力信号に対して所定の位相差だけ位相が異なるように、位相スロープ信号および制御電圧信号に応答して選択した対を選択するステップとを含む位相シフト方法。

13. 制御電圧に応答して、入力信号を位相シフトして所定の位相差を有する出力信号を発生させる位相シフト方法において、

入力信号の入力周波数を $1/2$ に分割して中間周波数を発生させるステップと、

入力信号に応答して、第1の中間信号を中間周波数において発生させるステップと、

入力信号に応答して、第1の中間信号に対して90度位相がずれた第2の中間信号を中間周波数において発生させるステップと、

入力信号に応答して、第1の中間信号に対して180度位相がずれた第3の中間信号を中間周波数において発生させるステップと、

入力信号に応答して、第1の中間信号に対して270度位相がずれた第4の中間信号を中間周波数において発生させるステップと、

第1の出力信号が第1の選択した対の各選択した中間信号の加重部分の和となるように、制御電圧信号に応答して第1、第2、第3、および第4の中間信号の第1の選択した対を位相混合して第1の出力信号を発生させるステップと、

第2の出力信号が第2の選択した対の各選択した中間信号の加重部分の和となるように、制御電圧信号に応答して第1、第2、第3、および第4の中間信号の第2の選択した対を位相混合して第1の出力信号に対して90度位相がずれた第2の出力信号を発生させるステップと、

第1および第2の出力信号に応答して、入力周波数に等しい出力周波数を有する出力信号を発生させるステップと、

出力信号が入力信号に対して所定の位相差だけ位相が異なるように、位相スロープ信号および制御電圧信号に応答して第1の選択した対および第2の選択した対を選択するステップとを含む位相シフト方法。

【発明の詳細な説明】制限されないレンジを有する電圧制御位相シフタ発明の分野

本発明の方法および装置は、一般に入力信号に位相シフトを付与して出力信号を発生させることに関し、具体的には、無制限位相シフト・レンジを有する位相シフタ回路に関する。

発明の背景

遅延ロック・ループ(DLL)など、多数のシステムでは、入力信号の位相シフトを実施して位相シフトした出力信号を発生させる。そのようなシステムでは一般に、調整可能遅延素子を使用して所望の位相シフトを実現する。調整可能遅延素子の一般的な例は、負荷容量を充放電する電流の量を制御電圧によって制御することによってインバータの実効伝搬遅延を変化させる電流スターブ式インバータ回路である。残念ながら、そのような従来技術の位相シフタは一般に有限の調整レンジを有する。従来技術の位相シフタの調整レンジの限界は一般に位相シフトを達成する方法の結果である。

第1の周期信号(入力信号)と第1の信号の遅延された信号である第2の周期信号(出力信号)を与えれば、入力信号と出力信号は「位相がずれている」という。一般的な従来技術の位相シフタは、

$$(1) \quad \phi = 2\pi f \Delta t$$

によって表される入力信号と出力信号の位相差(ϕ)と時間遅延(Δt)との関係を利用する。

入力信号および出力信号は

$$(2) \quad V_{in} = V_{MAX} \sin(2\pi f t)$$

$$(3) \quad V_{out} = V_{MAX} \sin(2\pi f t + \phi)$$

によって表される。

上式で、 V_{MAX} は信号の最大振幅、 f は周波数、 t は時間である。式(1)を式

(3)に代入すると

$$(4) \quad V_{out} = A \sin 2\pi f (t + \Delta t)$$

が得られる。

入力信号の周波数が既知の場合、所望の最大の Δt をもたらす遅延回路を設計するのは簡単なことである。時間遅延のレンジ、したがって位相シフトを、負荷容量を充放電する電流の量を制御することによって変化させる。位相調整レンジの下端は遅延回路の固有伝搬遅延によって決まり、位相調整レンジの上端は、最小電流、負荷容量および雑音考慮事項によって決まる。

一般的な従来技術の遅延素子を D L L 内に使用する場合、ロックの獲得を慎重に操作する必要がある。入力信号の周波数が可変である場合、ロックを可能にする制御電圧の値は 2 つ以上ある。さらに、遅延素子のレンジの限界に近い制御電圧によりループが偶然ロックした場合、制御電圧の小さい外乱またはドリフトによりループがロックを失う可能性がある。そのような問題を防ぐために、一般に入力周波数レンジに厳しい制限が加えられる。さらに、一般に制御電圧を制御電圧レンジの中央の近くに初期設定する必要がある。

発明の概要および目的

したがって、本発明の 1 つの目的は、モジュロ 2π ラジアン調整レンジを有する電圧制御位相シフタ回路を提供することである。

本発明の他の目的は、広い入力周波数レンジを有する電圧制御位相シフタ回路を提供することである。

本発明の他の目的は、獲得操作の少ない電圧制御位相シフタ回路を提供することである。

2 つの中間信号の位相混合を使用して、入力信号に対して所定の位相差だけ位相が異なる出力信号を発生させる電圧制御位相シフト装置について説明する。位相シフト装置は、入力信号を受信するように結合された遅延回路を含む。遅延回路は、入力信号に対して α 度位相がずれた第 1 の中間信号と、第 1 の中間信号に対して β 度位相がずれた第 2 の中間信号とを出力する。また、位相シフト装置は、制御電圧信号および第 1 の中間信号および第 2 の中間信号を受信するように結合された位相インタポレータを含む。位相インタポレータは、位相インタポレータ

の出力信号が第 1 の中間信号の第 1 の加重部分と第 2 の中間信号の第 2 の加重部分との和である信号となるように、制御電圧信号に応答して第 1 の中間信号と第 2 の中間信号を位相混合する。制御電圧は第 1 の加重部分および第 2 の加重部分を決定し、第 1 の加重部分および第 2 の加重部分は出力信号の位相を制御する。

また、位相混合用に 4 つの中間信号のうちの 2 つを選択的に使用する電圧制御位相シフト装置についても説明する。4 つの中間信号は位相面を 4 つの領域に分割し、出力信号に所望の位相シフトを持たせる。さらに、電圧制御位相シフト装置は、4 つの中間信号のうちのどの 2 つの中間信号を位相混合するかを選択する位相セクタ回路を含む。

本発明の他の目的、特徴および利点は、添付の図面および以下の詳細な説明から明らかとなる。

図面の簡単な説明

本発明について添付の図面の図中に例を挙げて説明する。ただしこれに限定されない。図面では、同じ参照番号は同じ要素を示す。

第 1 図は、本発明の第 1 の実施形態の電圧制御位相シフタ回路を示す図である。

第 2 図は、4 つの中間信号を位相面内の位相ベクトルとして示す図である。

第 3 図は、第 1 の実施形態の直角位相中間信号を位相面内の半径位相ベクトルとして示す図である。

第 4 図は、第 1 の実施形態による簡単化された位相インタポレータを示す図である。

第 5 A 図は、出力位相ベクトルが第 1 象限内にある場合に、制御電圧 V_C を使用して出力信号の位相差 ϕ を変化させる方法を示す図である。

第 5 B 図は、出力位相ベクトルが第 2 象限内にある場合に、制御電圧 V_C を使用して出力信号の位相差 ϕ を変化させる方法を示す図である。

第 5 C 図は、出力位相ベクトルが第 3 象限内にある場合に、制御電圧 V_C を使用して出力信号の位相差 ϕ を変化させる方法を示す図である。

第 5 D 図は、出力位相ベクトルが第 4 象限内にある場合に、制御電圧 V_C を使用して出力信号の位相差 ϕ を変化させる方法を示す図である。

第 6 図は、第 2 の実施形態による位相シフタ回路を示す図である。

第 7 図は、第 2 の実施形態による位相シフタ回路の動作を示すタイミング図である。

第 8 図は、第 2 の実施形態による位相セクタ F S M の状態図である。

第 9 図は、第 2 の実施形態の象限境界検出器を示す図である。

第 10 図は、第 2 の実施形態による J 出力位相ベクトルを発生させる位相インタポレータを示す図である。

第 11 図は、本発明の第 2 の実施形態による R 出力位相ベクトルを発生させる位相インタポレータを示す図である。

詳細な説明

本発明の例示の実施形態は、入力信号に対して所定の位相差を有する出力信号を得ることに関する。各実施形態によれば、位相混合を使用して無制限位相調整レンジを実現する。位相混合は、互いに何らかの決められた関係を有する異なる位相の 2 つの中間信号の混合を含む。一実施形態では、中間信号は、それぞれ 0 度、90 度、180 度および 270 度の相対位相を有する 4 つの直角位相中間信号である。出力信号は常に、4 つの中間信号のうちの 2 つによって区分される位相面の象限内に入る位相を有する。位相混合は、出力信号の位相がその中で加重部分によって位置指定される象限を区分する各中間信号を掛け合わせ、結果を合計することによって達成される。

第 1 図に第 1 の実施形態の電圧制御位相シフタ回路を示す。位相シフタ 100 は、遅延回路 110、位相インタポレータ 120 および位相セクタ 130 を含む。遅延回路 110 は、位相混合プロセスで位相インタポレータ 120 によって使用される信号線路 115 を介して、少なくとも 2 つの中間信号、好ましくは 4 つの中間信号を出力する。2 つの中間信号のみを使用する場合、第 1 の中間信号は入力信号に対して α 度位相がずれることが好ましく、第 2 の中間信号はこの第 1 の中間信号に対して β 度位相がずれることが好ましい。2 つの中間信号のみを使用する場合は位相セクタ 130 は不要である。しかしながら、無制限位相調整レンジを可能にするためには、4 つの中間信号を使用することが好ましい。4

つの中間信号を使用した場合、第1の中間信号と第2の中間信号は上述のように、第3の中間信号と第4の中間信号は、それぞれ第1の中間信号および第2の中間信号に対して180度位相がずれるようなものである。

位相インタポレータ120は信号線路115を介して中間信号を受信する。中間信号は位相混合されて、信号線路135を介して受信した制御電圧信号VCと、信号線路125を介して位相セクタ130から受信した位相選択信号とにตอบสนองして、入力信号からの所望の位相差 ϕ を有する出力信号を信号線路155に発生させる。2つの中間信号のみを使用する場合、位相インタポレータ120によって実施される位相混合は制御電圧信号VCにのみ依存するが、位相調整レンジは有限である。

位相シフト回路がフィードバック・ループの一部である場合、所望の位相差を達成するために入力信号と出力信号の位相差を調整する必要があるかどうかに応じて、制御電圧信号VCを増減させる。制御電圧信号VCは、当技術分野で周知の回路および技法を使用すれば得られる。位相シフト回路は、フィードバック・ループの一部である必要はない。

4つの中間信号を使用する場合、位相セクタ130は、位相混合に使用すべき4つの中間信号のうちの2つを選択する。位相セクタ130は、制御電圧信号VCと、信号線路145を介して受信した2進位相スロープ信号とにตอบสนองして2つの中間信号を選択する。位相スロープ信号は、位相シフタ100の位相シフトを増減させるべきかどうかを示す。位相セクタ回路の詳細な検討は、第8図および第9図に関する後の検討に延ばす。

位相混合は、入力信号と出力信号の位相差が、極座標系の位相面内で大きさと位相角を有するベクトルとして表わせることに基づく。位相面の領域を区分する2つの非共線区分ベクトルを仮定すれば、位相面の区分された領域内にあるどのベクトルも、第1の区分ベクトルの第1の部分と第2の区分ベクトルの第2の部分との和として表わせる。2つの非共線区分ベクトルとそれらの補ベクトルを仮定すれば、位相面は4つの領域に分割され、位相面の任意の領域内にあるどのベクトルも、その領域を区分する2つのベクトルの和として表わせる。位相混合では、位相がずれた2つの中間信号をとり、それらの中間信号に適切な加重部分を

割り当てて、中間信号の区分位相ベクトルを含めてそれによって区分された領域内に出力位相ベクトルを有する出力信号を発生させる。

第2図に4つの中間信号を位相面内の位相ベクトルとして示す。入力信号は水平0度位相ベクトル200として表されている。4つの中間信号は交差する線のように見えること、および出力信号ベクトル210は常に、中間信号201～204のうちの任意の2つの中間信号の間に配置される位相差 ϕ を有することが分かる。第1の実施形態では、4つの信号は0度、90度、180度および270度の相対位相を有することが好ましい。これらの信号はそれぞれ入力信号の周期の $1/4$ を決め、「位相混合」の代わりに「直角位相混合」なる用語が使用できる。直角位相中間信号を使用すると、任意の2つの区分位相ベクトルが90度離れ、したがって周知の数学的關係に従って区分直角位相ベクトルの加重部分を決定することができる。

第3図に、第1の実施形態の直角位相中間信号を位相面内の半径位相ベクトルとして示す。任意の象限内のどの出力位相ベクトルについても、出力位相ベクトルがその中に現れる象限を区分する2つの位相ベクトルの加重部分を合計することによって、出力位相ベクトルの位相を決定することができる。出力位相ベクトルの位相角は、0度区分ベクトルから測定することが好ましい。

第4図に、第1の実施形態による簡単化された位相インタポレータを示す。位相インタポレータは、 n チャネル電界効果トランジスタ(FET)402と403の差動対を含む。差動制御電圧 V_{C+} および V_{C-} はそれぞれFET402および403のゲートに結合されている。差動対402と403は、固定電流源404および405と関連して、 V_{C+} および V_{C-} の制御のもとで差動電流を分岐406および407に向ける。各実施形態では、有限の電位差($V_{C+}-V_{C-}$)により分岐406かまたは分岐407の電流が0になるように、404および405から供給される電流は、それぞれ電流源401から供給される電流よりも小さいことが好ましい。

位相インタポレータの右半分および左半分の電流を使用して、それぞれコンパレータ496の正端子および負端子に結合されたコンデンサ490および495を充電する。コンパレータ496は、当技術分野で周知の理想的なコンパレータ

として働くことが好ましい。位相ミキサ450は、信号線路445を介して受信した選択信号に応答して、コンデンサ490および495を分岐406および407に対して結合・減結合させるのに4つの中間位相ベクトルのうちのどの2つの中間位相ベクトルを使用すべきかを決定する。中間信号は信号線路440を介して受信される。VCが変化すると、コンデンサ490および495を流れる電流は、第1の区分中間ベクトルに完全に依存する状態から第2の区分中間ベクトルに完全に依存する状態へ変化する。

差動制御電圧VCによって設定される各コンデンサに流れ込む電流の相対量は、コンデンサを充放電する相対速度を決定する。コンパレータ496は、正端子の電圧が負端子の電圧よりも正になったことを検出すると、論理高(High)を出力する。コンデンサ490および495の電圧が時間変化する波形であるので、コンパレータは2つのコンデンサの波形がいつ交差するかを示す。この交差の点は、差動制御電圧VCを変化せることによって変わる。

第5A図ないし第5D図に、差動制御電圧VCを使用して出力信号の位相差 ϕ を変化させる方法を示す。制御電圧の大きさ $|VC|$ は最小値 V_{MIN} と最大値 V_{MAX} の間の範囲の値を有する。各象限では、同じ範囲の制御電圧を使用する。出力信号の出力位相ベクトル505が第1象限内にある場合、出力位相ベクトル505は、0度位相ベクトル501の加重部分と90度位相ベクトル502の加重部分との総和によって決定する。制御電圧VCが V_{MIN} にある場合、出力位相ベクトル505は0度位相ベクトル501に等しく、0加重を90度位相ベクトル502に割り当てる。制御電圧VCが V_{MAX} にある場合、出力位相ベクトル505は90度位相ベクトル502に等しく、0加重を0度位相ベクトル501に割り当てる。したがって、0度中間信号を90度中間信号と混合することによって、0度と90度の間の位相差を有する出力信号を達成することができる。

制御電圧VCが V_{MAX} かまたは V_{MIN} にあり、象限境界を横断するようにさらに位相シフトが必要な場合、0加重位相ベクトルを置換するために0加重位相ベクトルの補群を選択する。したがって、所望の出力位相ベクトル505が第2象限内にあり、VCが V_{MAX} に等しい場合、0度位相ベクトル501を180度位相ベクトル503と置換する。これは、出力信号の位相が象限境界の位相である

場合、0 加重中間信号は出力信号の成分でないので、出力信号の単調性に影響を及ぼさずに行われる。次いで、制御電圧 V_C を V_{MIN} の方へ低下させ、90 度位相ベクトル 502 の加重部分と 180 度位相ベクトル 503 の加重部分を合計することによって出力信号の位相差 ϕ を決定する。したがって、90 度中間信号と 180 度中間信号を混合することによって、90 度と 180 度の間の位相差を有する出力信号を達成することができる。これを第 5 B 図に示す。

V_C が V_{MIN} の方へ低下するにつれて、より大きい加重を 180 度位相ベクトル 503 に割り当てる。 V_C が V_{MIN} まで低下し、所望の出力位相ベクトル 505 が第 3 象限内に入るようにさらに位相シフトが必要な場合、90 度位相ベクトル 502 を 270 度位相ベクトル 504 と置換し、270 度位相ベクトル 504 の加重が増加するように制御電圧 V_C を V_{MAX} の方へ増大させる。これを第 5 C 図に示す。制御電圧が V_{MAX} に等しく、位相差をさらに増加させる必要がある場合、所望の出力位相ベクトル 505 は第 4 象限内に入る。これを第 5 D 図に示す。位相差をさらに増加させる必要がある場合、出力位相ベクトルが適切な象限内に入るまで何度でも象限境界を横断できる。位相差も同様にして減少させることができる。位相面の各 1 回転は、出力位相ベクトルの象限内で達成される位相差の他に、位相差 ϕ の 360 度または 2π ラジアンを構成する。したがって、第 1 の実施形態の位相シフト回路では、モジュロ 2π 位相シフトが得られる。位相シフト回路の結果であるどの固定の遅延もフィードバック・ループによって補償される。

第 6 図に第 2 の実施形態による位相シフト回路を示す。入力信号は、信号線路 601 を介して位相シフト 600 によって受信される。第 2 の実施形態による位相シフト回路では、遅延回路 605 は、入力信号の周波数を $1/2$ に分割し、入力の $1/2$ の周波数を有する直角位相中間信号を出力する。0 度中間信号および 180 度中間信号はそれぞれ I 相補対「I」および「IB」である。90 度中間信号および 270 度中間信号はそれぞれ Q 相補対「Q」および「QB」である。

I ベクトル、IB ベクトル、Q ベクトル、QB ベクトルは、それぞれ信号線路 606、656、607 および 657 を介して J 位相インタポレータ 610 および R 位相インタポレータ 620 へ出力される。

第2の実施形態の位相セクタ回路630は、象限境界検出器(QBD)635および位相セクタ有限状態機械(FSM)636を含んでいることが好ましい。位相セクタFSM636は、象限境界検出器(QBD)635の出力と、信号線路634を介して受信した位相スロープ信号とに応答して、どの2つの直角位相中間信号を混合すべきかを選択する。位相スロープ信号は位相差 ϕ を増大させるべきか減少させるべきかを示し、QBD635はいつ象限境界を横断するかを示す。位相セクタFSM636は、混合に使用すべき2つの直角位相中間信号を選択できるように、QBD635および信号線路634から受信した情報を使用して出力信号がどの象限内にあるかを決定する。この実施形態では、Iにはアクティブ低(Low) ISELを、IBにはIBSELを、QにはQSELを、QBにはQBSELを割り当てることによって中間信号の選択を行う。ISELとQSELの相補対は、それぞれ位相セクタFSM636によって信号線路615、665、616および666を介して出力される。

制御電圧VCは、選択した中間信号を混合するための加重部分を制御する。また、制御電圧VCは、QBD635によっていつ象限境界を横断するかを決定するのに使用される。制御電圧VCは、当技術分野で周知のように、よりよい雑音除去のために差動入力電圧VC₊およびVC₋であることが好ましい。

J位相インタポレータ610は、直角位相混合の結果である第1の出力信号Jを信号線路673を介して出力する。R位相インタポレータ620は、実質上J位相インタポレータ610と同じであるが、第1の出力信号Jと90度位相がずれた第2の出力信号Rを信号線路674を介して出力する。XORゲート640は、JおよびRを入力として受け、入力信号と同じ周波数でありかつ信号線路602を介して所望の位相シフトを有する最終出力信号を信号線路675を介して出力する。XORゲートは、当技術分野で周知のように、入力信号の周波数を倍増する働きをする。周波数分割器605を使用しない場合は、XORゲート640およびR位相インタポレータ620は不要である。

第7図は、第2の実施形態による位相シフタ回路の動作を示すタイミング図である。図のように、直角位相中間信号I、IB、QおよびQBはすべて入力信号周波数の1/2である。出力信号と入力信号の所望の位相差が45度の場合、J

位相インタポレータの J 出力信号は I 中間信号に対して 22.5 度位相がずれ、J 出力位相ベクトルは I 位相ベクトルと Q 位相ベクトルの混合物になる。上述の R 出力信号は J 出力信号に対して 90 度位相がずれており、これは I 中間信号に対して 112.5 度位相がずれているのと、Q 中間信号に対して 22.5 度位相がずれているのと同じである。R 出力位相ベクトルは Q 位相ベクトルと I B 位相ベクトルの混合物になる。J XOR R に等しい出力信号は、入力信号と同じ周波数であり、入力信号から 45 度位相シフトしたものである。

第 8 図に第 2 の実施形態による位相セクタ FSM の状態図を示す。位相セクタ FSM は、1 つの状態が各象限に対応する 4 つの可能な状態を有することが好ましい。第 1 象限に対応する状態 1 では、位相セクタ FSM は I SEL と Q SEL をアクティブとして選択する。VC が V_{MAX} に等しく、 ϕ が増大する場合 ($\phi \rightarrow \text{「up」}$)、FSM は I SEL を選択解除し、I SELB をアクティブにする。これにより位相セクタ FSM の状態が状態 1 から第 2 象限に対応する状態 2 へ変化する。一方、状態 2 では、 ϕ が減少する場合 ($\phi \rightarrow \text{「down」}$) に VC が V_{MAX} に等しくなると、位相セクタ FSM の状態は状態 2 から状態 1 になる。状態 2 において、 ϕ が増大する場合に VC が V_{MIN} まで低下すると、FSM は Q SEL を選択解除し、Q SELB をアクティブにし、位相セクタ FSM の状態が状態 3 へ変化する。 ϕ が増大する場合に VC が V_{MAX} になると、位相セクタ FSM は、I SEL を選択することによって状態 3 から状態 4 へ反転し、I SELB を非アクティブにする。図から分かるように、MAX または MIN をアサートし、位相差が減少する場合、位相セクタ FSM は状態図に従って状態を時計方向に変化させる。

第 9 図に第 2 の実施形態の象限境界検出器を示す。QBD900 は、n チャネル FET902 と 903 の差動対を含むことが好ましい。FET902 および 903 のドレインはそれぞれ電流源 904 および 905 に接続されている。電流源は高インピーダンス負荷として働く。電流源 901 は、FET902 のソースと 903 のソースの両方に接続されている。QBD の差動対および電流源は、位相インタポレータ回路の類似の差動対および電流源と実質上同じであることが好ましい。差動入力電圧 VC は電流を差動対へ導く。VC が最大値にある場合、FE

T903はオフに反転し、FET902は完全に導通し、分岐906の電圧は V_{REF} よりも小さくなる。コンパレータ908は、 V_C が最大値にあることを示すMAX信号を信号線路910を介して出力する。 V_C が最小値にある場合、FET902はオフに反転し、FET903は完全に導通し、分岐907の電圧は V_{REF} よりも小さくなる。コンパレータ909は、 V_C が最小値にあることを示すMIN信号を信号線路915を介して出力する。基準電圧 V_{REF} は、MAX信号またはMIN信号のうちの1つだけが一度にアクティブとしてアサートされるように選択する。第2の実施形態では、有限の電位差($V_{C+}-V_{C-}$)によって分岐906または907の電圧が低くなるように、電流源904および905から供給される電流はそれぞれ電流源901から供給される電流よりも小さい。

第10図に、第2の実施形態によるJ出力位相ベクトルを発生させる位相インタポレータを示す。周波数分割器を使用しないこの場合には、この位相インタポレータのみを使用することが好ましい。位相インタポレータ回路1000では、差動対および電流源は、第4図に関して説明したように動作する。位相インタポレータ回路の混合回路は、pチャネルFET1010、1015、1020、1025、1030、1035、1040、1045、1050、1055、1060および1065を含む。セレクト信号ISEL、ISELB、QSELおよびQSELBは、アクティブ低(Low)であり、位相インタポレータが第8図の状態図に従って動作するように結合されている。

差動制御電圧 V_C の値は、位相インタポレータの右半分および左半分に向けられる電流の量を決定する。分岐1006の電流は、電流源1004から供給される電流とFET1002のドレイン電流との差に等しい。同様に、分岐1007の電流は、電流源1005から供給される電流とFET1003のドレイン電流との差に等しい。 V_C が V_{MAX} に等しい場合、FET1002は V_{C+} 差動制御電圧によって完全にオンに反転し、FET1002は電流源1001からの実質上すべての電流を通すようになる。負の差動制御電圧 V_{C-} は負であり、FET1003は導通しない。これは、分岐1007には電流が流れ、分岐1006には電流が流れないことを意味する。 V_C が V_{MIN} に等しい場合、電流源1001から供給される実質上すべての電流がFET1003を流れる。したがって、分岐

1

006には電流が流れ、分岐1007には電流が流れない。 V_{MAX} と V_{MIN} の間の制御電圧レベル V_C では、分岐1006と分岐1007の両方に電流が流れる。

分岐1006と分岐1007を流れる電流は、FET1010、1015、1050および1055を介して、コンデンサとして結合されたFET1090およびFET1095に向けられる。コンデンサFET1090および1095の代わりに、周知の従来技術の容量性デバイスが使用できる。コンデンサFET1090は、接地とコンパレータ1096の正端子の間に結合されている。コンデンサFET1095は、接地とコンパレータ1096の負端子の間に結合されている。コンパレータ1096の出力信号のタイミングは、コンデンサFET1090および1095の充電波形および放電波形がいつ交差するかによって決定される。したがって、入力ベクトルの加重、したがって位相インタポレータのJ出力位相ベクトルの位相差 ϕ は、差動制御電圧 V_C に応答して右半分および左半分に電流を向けることによってコンデンサFET1090および1095を充電する速度を設定するFET1002および1003の差動対によって決定される。

電流を差動対の右側と左側に正確に向けることは、4つの選択線路のうちのどの2つの線路を選択するかによって決定される。この特定の回路では、選択スイッチFET1010、1015、1050および1055はすべてアクティブ低(Low) pチャネル・デバイスである。第8図に関して上述したように、位相インタポレータは、ISELおよびQSELがアクティブの場合第1象限内にあり、したがって選択スイッチFET1015および1055がオンに反転し、分岐1006がFET1040および1045のソースに結合され、分岐1007がFET1060および1065のソースに結合される。

制御電圧 V_C が V_{MIN} に等しい場合、位相インタポレータの出力ベクトルはI中間ベクトルに完全に依存する。これは、 V_C が V_{MIN} に等しい場合、FET1002がオフに反転し、FET1003がオンに反転し、分岐1006に最大電流が流れ、分岐1007に電流が流れなくなることから当然である。コンデンサFET1095は、FET1040をオンオフさせてコンデンサFET1095

を分岐1006に結合・減結合させる中間ベクトルIに応答して充放電する。同様に、コンデンサFET1090は、FET1045をオンオフさせてコンデン

サFET1090を分岐1006に対して結合・減結合させる中間ベクトルIBに
応答して充放電する。ただし、分岐1007からFET1060および1065へ電流が流れないので、コンデンサFET1090および1095は中間ベクトルQおよびQBに
応答して充放電することはない。したがって、Q中間ベクトルへの加重は0である。

制御電圧VCが V_{MAX} に等しい場合、位相インタポレータのJ出力ベクトルはQ中間ベクトルに完全に依存する。これは、VCが V_{MAX} に等しい場合、FET1003がオフに反転し、FET1002がオンに反転し、分岐1007に最大電流が流れ、分岐1006に電流が流れなくなることから当然である。コンデンサFET1095は、FET1060をオンオフさせてコンデンサFET1095を分岐1007に対して結合・減結合させる中間ベクトルQに
応答して充放電する。同様に、コンデンサFET1090は、FET1065をオンオフしてコンデンサFET1090を分岐1007に対して結合・減結合させる中間ベクトルQBに
応答して充放電する。差動制御電圧 VC_+ が V_{MIN} と V_{MAX} の間のある値に等しい場合、位相インタポレータ回路1000のJ出力位相ベクトルはI中間ベクトルとQ中間ベクトルの間にある。

出力位相ベクトルが第2象限内にある場合、QSELおよびISELBはアクティブ低(Low)となり、選択スイッチFET1055および1010がオンに反転する。分岐1007は、上述のように、第1象限の出力位相ベクトルに関して結合されたままである。同様に、QSELBを選択すると、中間ベクトルQおよびQBとコンデンサFET1090および1095との関係が、QSELを選択した場合の関係の反対になる。

また、コンデンサFET1090および1095を充放電する速度も、FET1080と1070のトランジスタ対およびFET1085と1075のトランジスタ対の影響を受ける。FET1080は、電流ミラーFET1070をバイアスするダイオードとして結合されている。正電流がインタポレータの左側に流

れてコンデンサFET1090を充電すると、電流ミラーFET1070は、コンデンサFET1095から等しい大きさの電流を引き出すことによってコンデンサFET1095を放電させる。このようにして、コンパレータ1096の負

端子と正端子の間の電圧変動は差動的に挙動し、コンパレータへの入力はスルー制限される。FET1085および1075も同様に挙動する。これらのトランジスタ対のために差動インピーダンスが高くなり、共通モード・インピーダンスが低くなる。

第11図に第2の実施形態によるR出力位相ベクトルを発生させる位相インタポレータを示す。Rベクトルは、定義によればJベクトルに対して90度位相がずれている。90度位相シフトを達成する1つの方法では、位相インタポレータ1100内で選択線路を再布線し、制御電圧線路 V_{C+} および V_{C-} を図のように逆にする。その他の点では、位相インタポレータ1100は第10図の位相インタポレータと同じである。あるいは、選択線路または制御電圧線路を変更せずに中間信号を再布線することによっても90度位相シフトを達成することができる。

上記の明細では、本発明についてその特定の実施例に関して説明した。しかしながら、添付の図面に示した本発明の広い精神および範囲から逸脱することなく、本発明に様々な修正および変更を加えることができることが明らかであろう。したがって、明細書および図面は、限定的な意味ではなく例示的な意味で解釈すべきである。

【図 1】

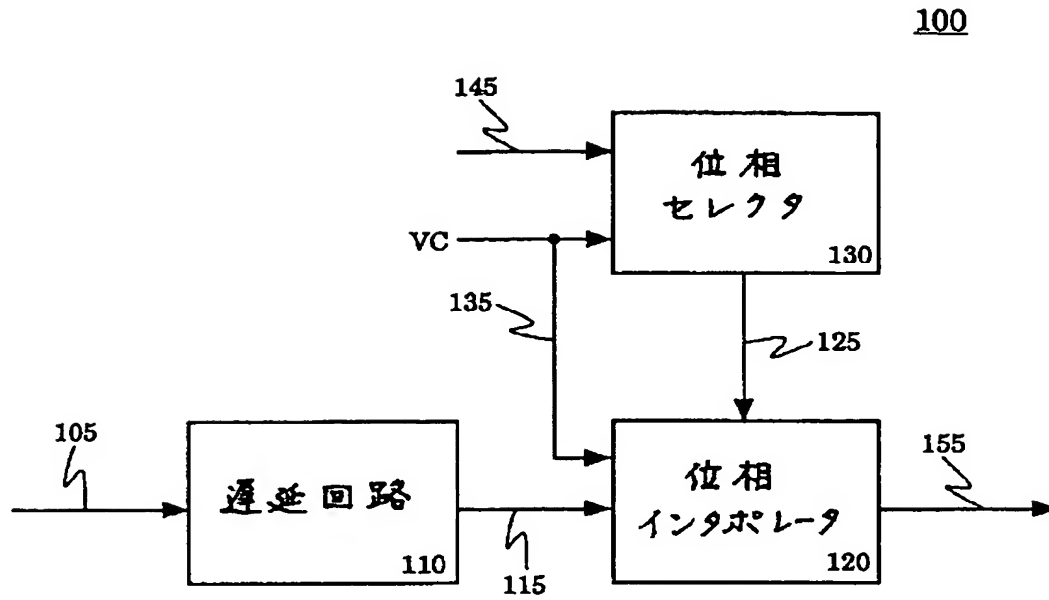


Figure 1

【図 2】

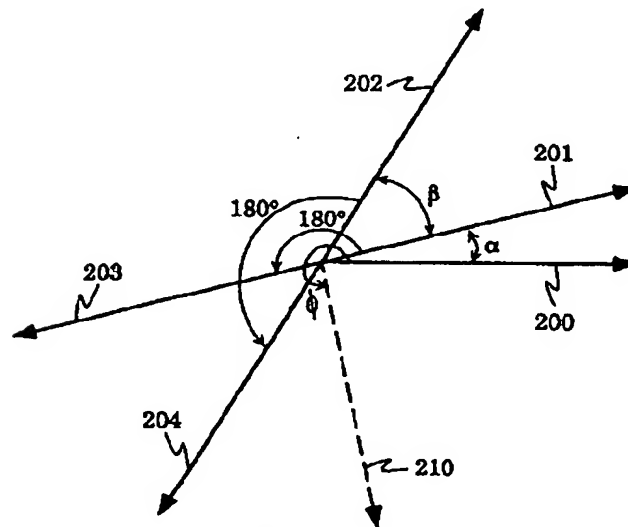


Figure 2

【图3】

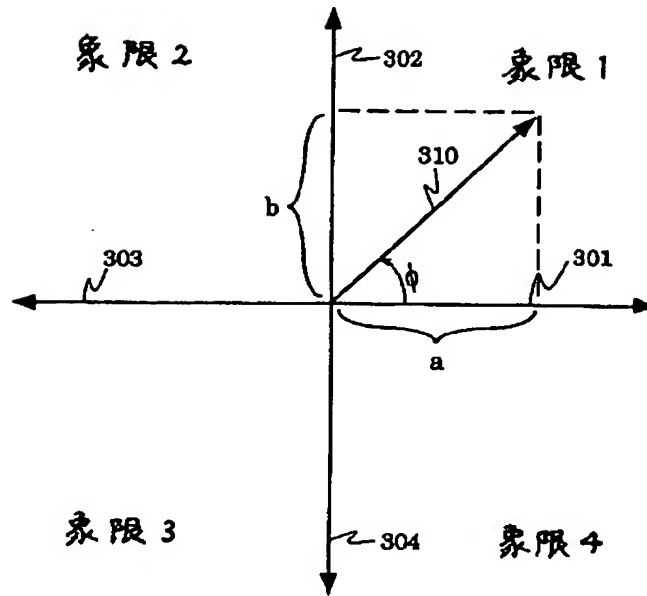


Figure 3

【図4】

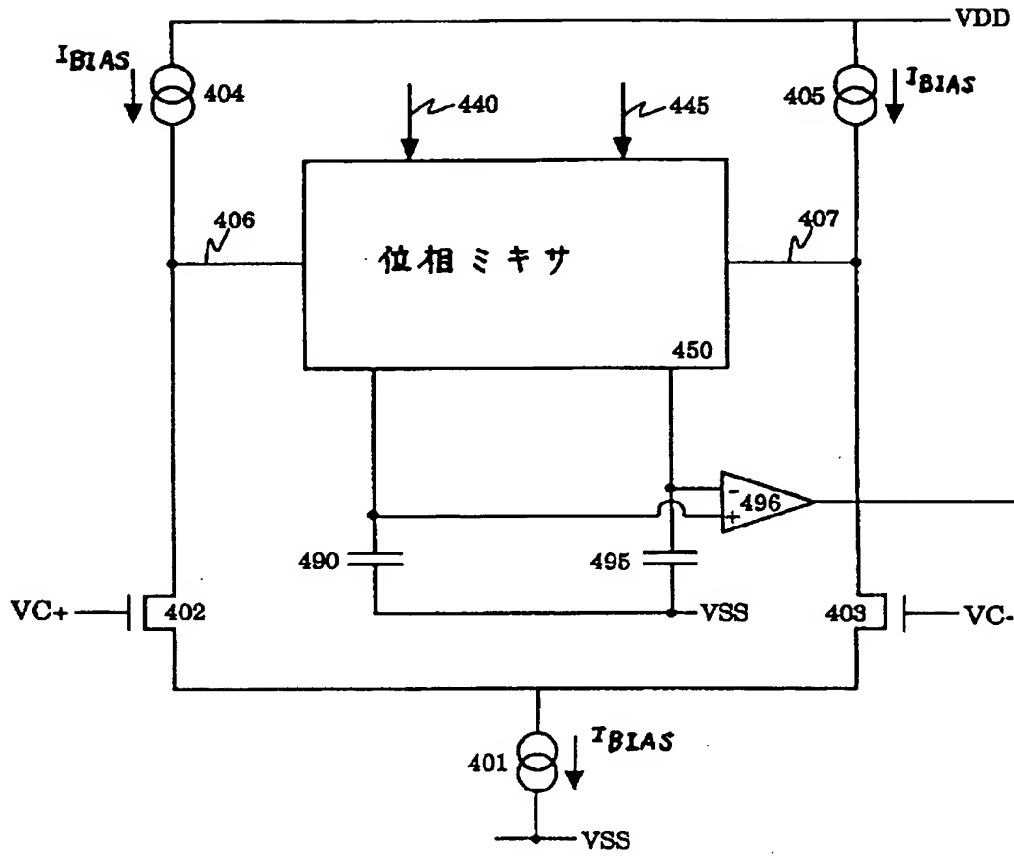


Figure 4

【图5】

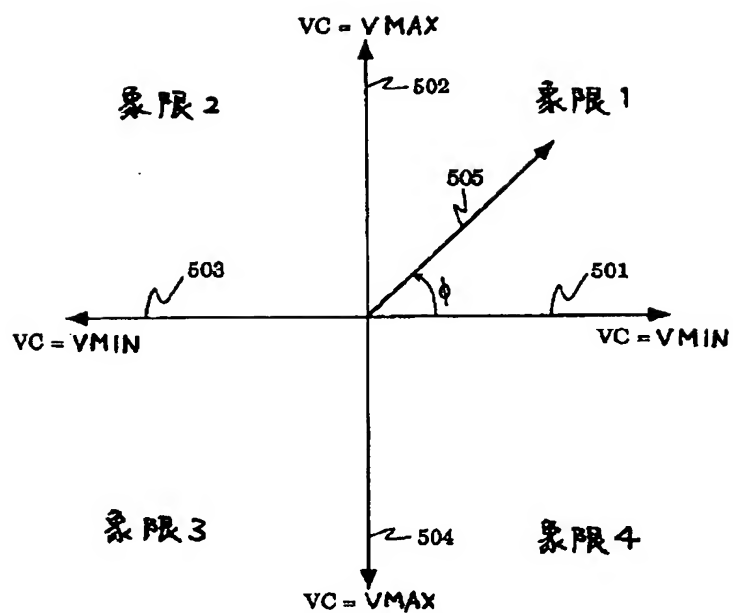


Figure 5A

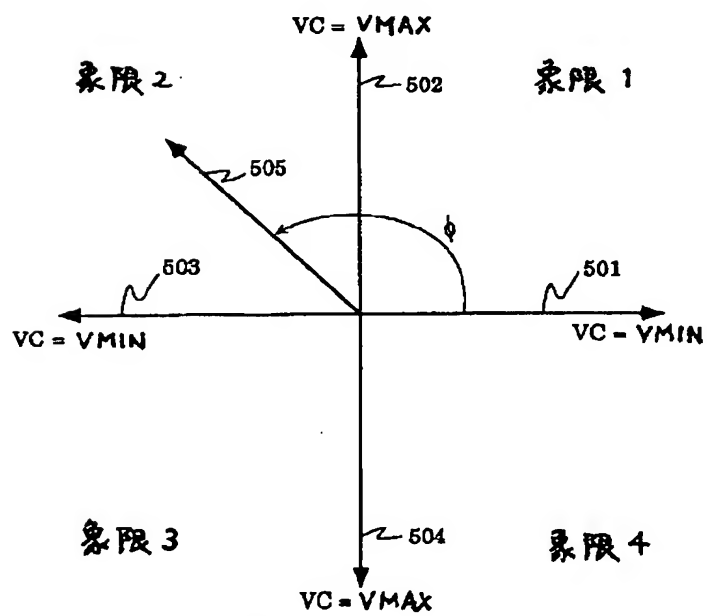


Figure 5B

【图5】

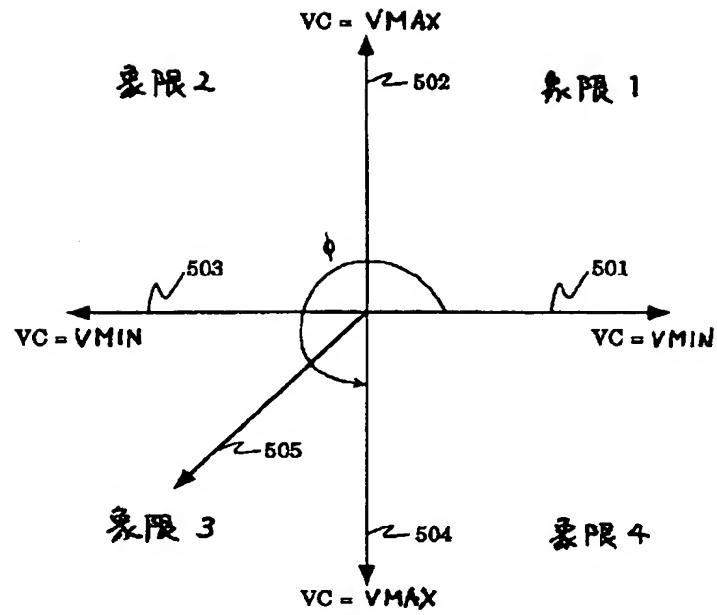


Figure 5C

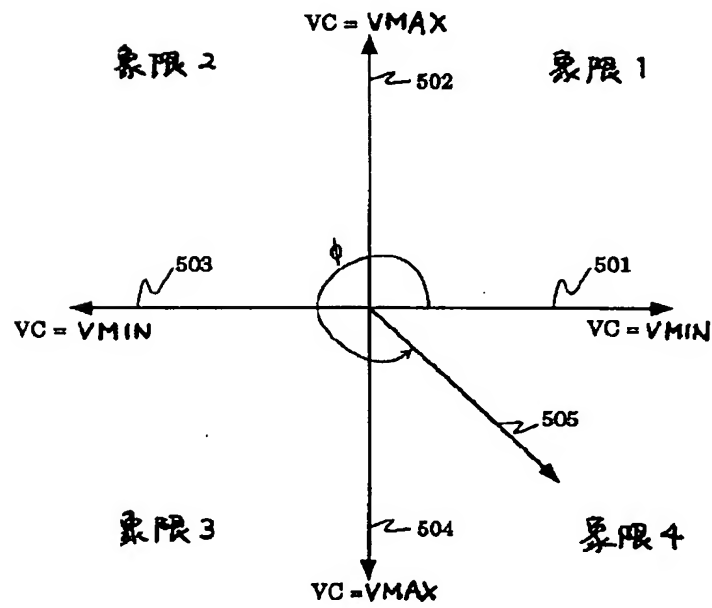


Figure 5D

【図 6】

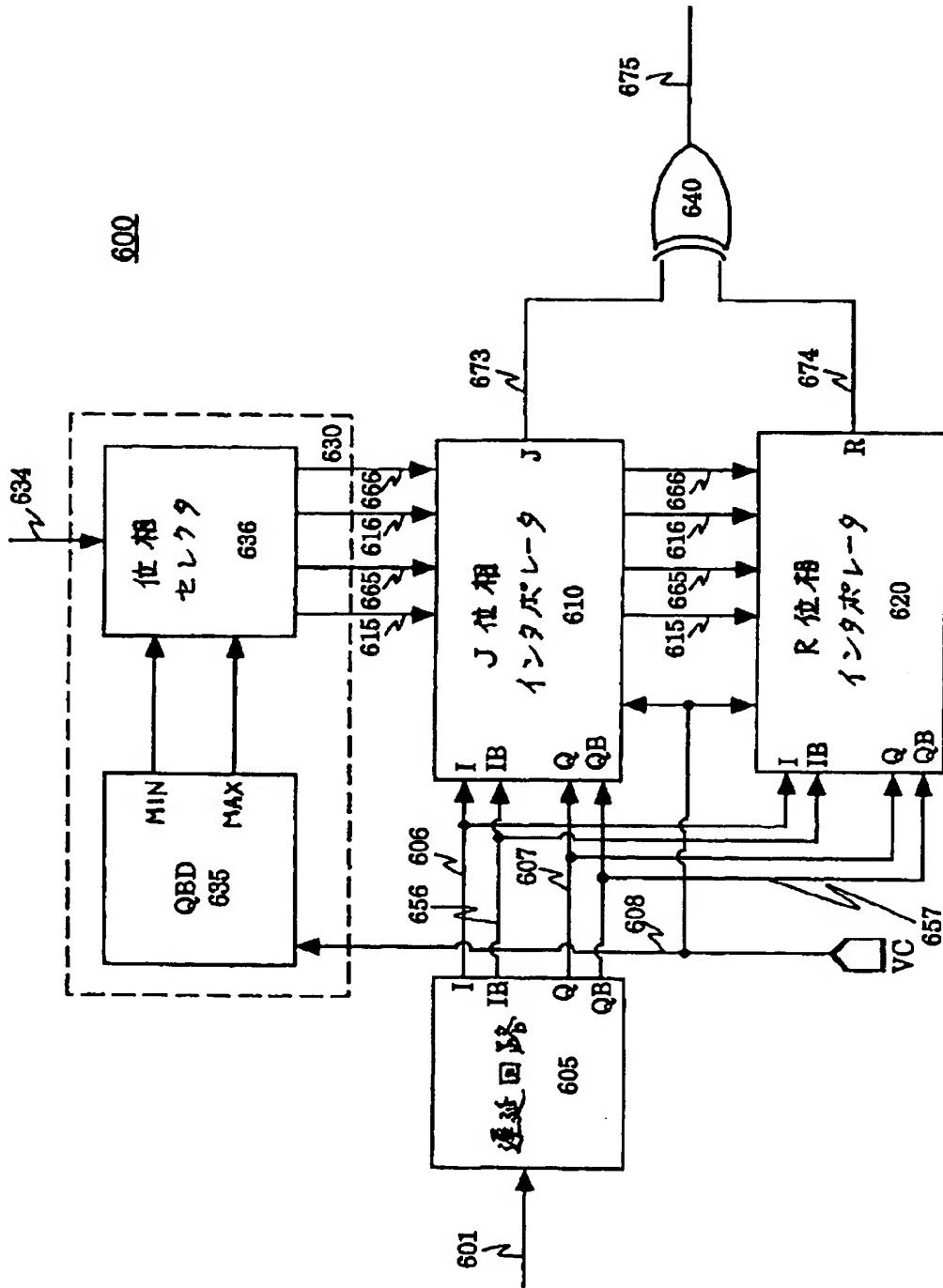


Figure 6

【图 7】

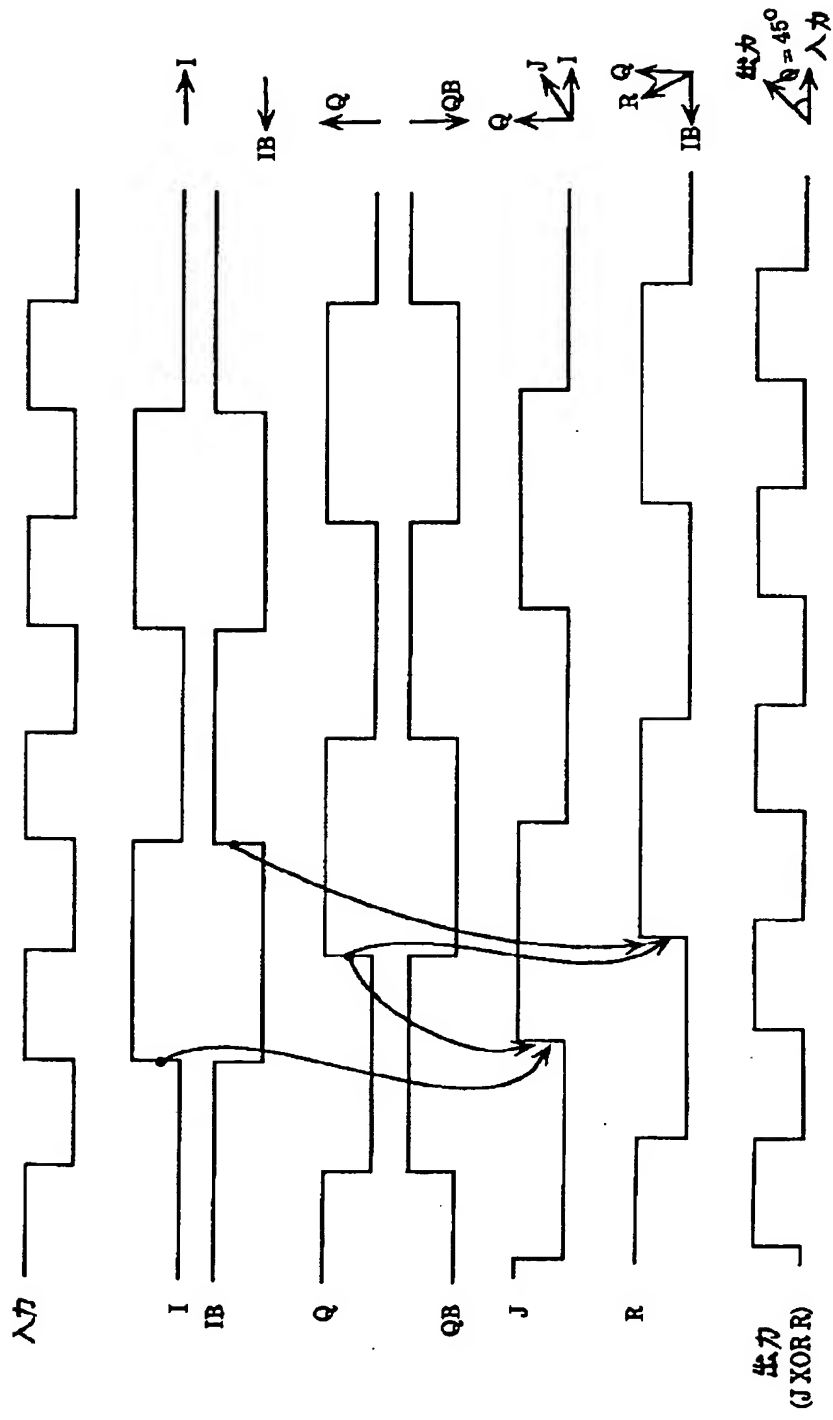
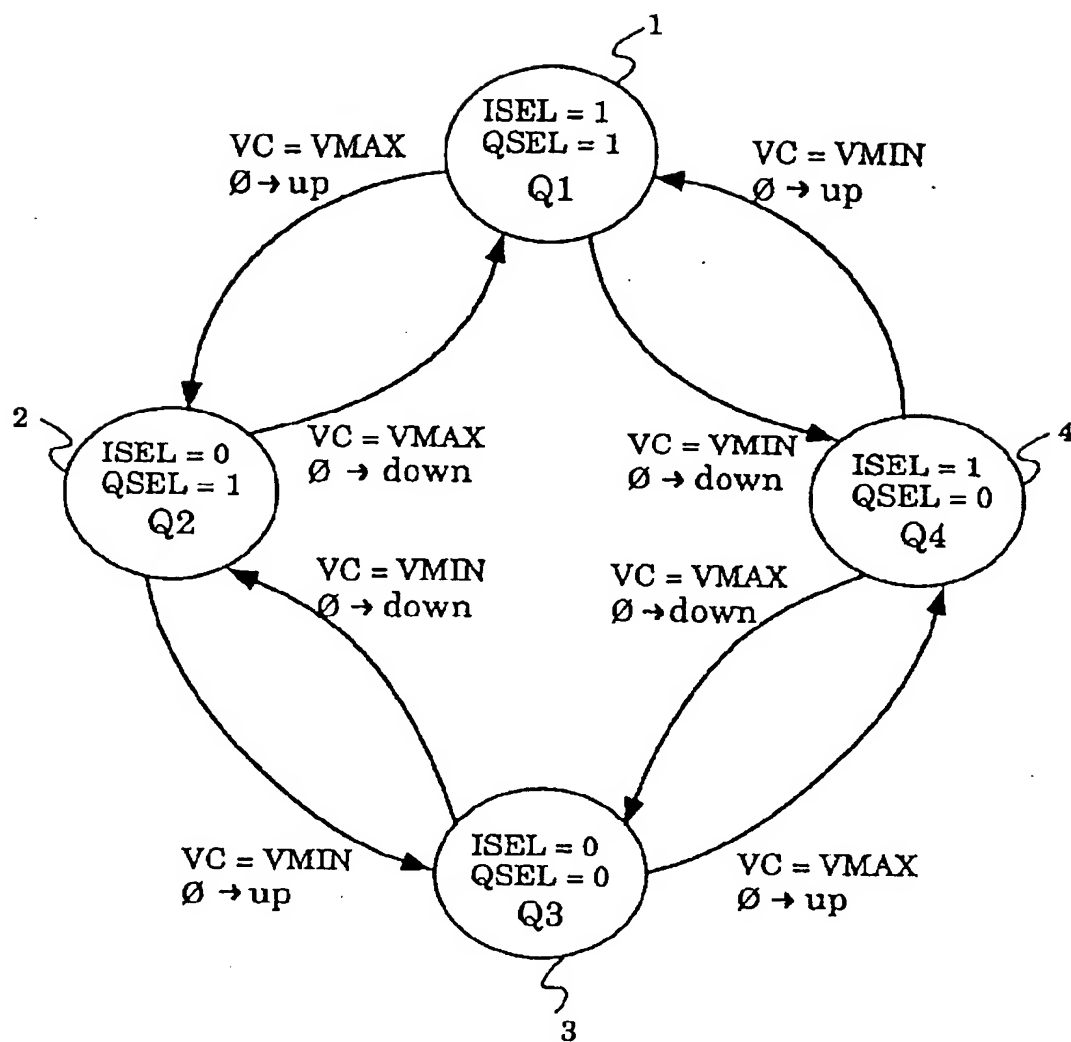
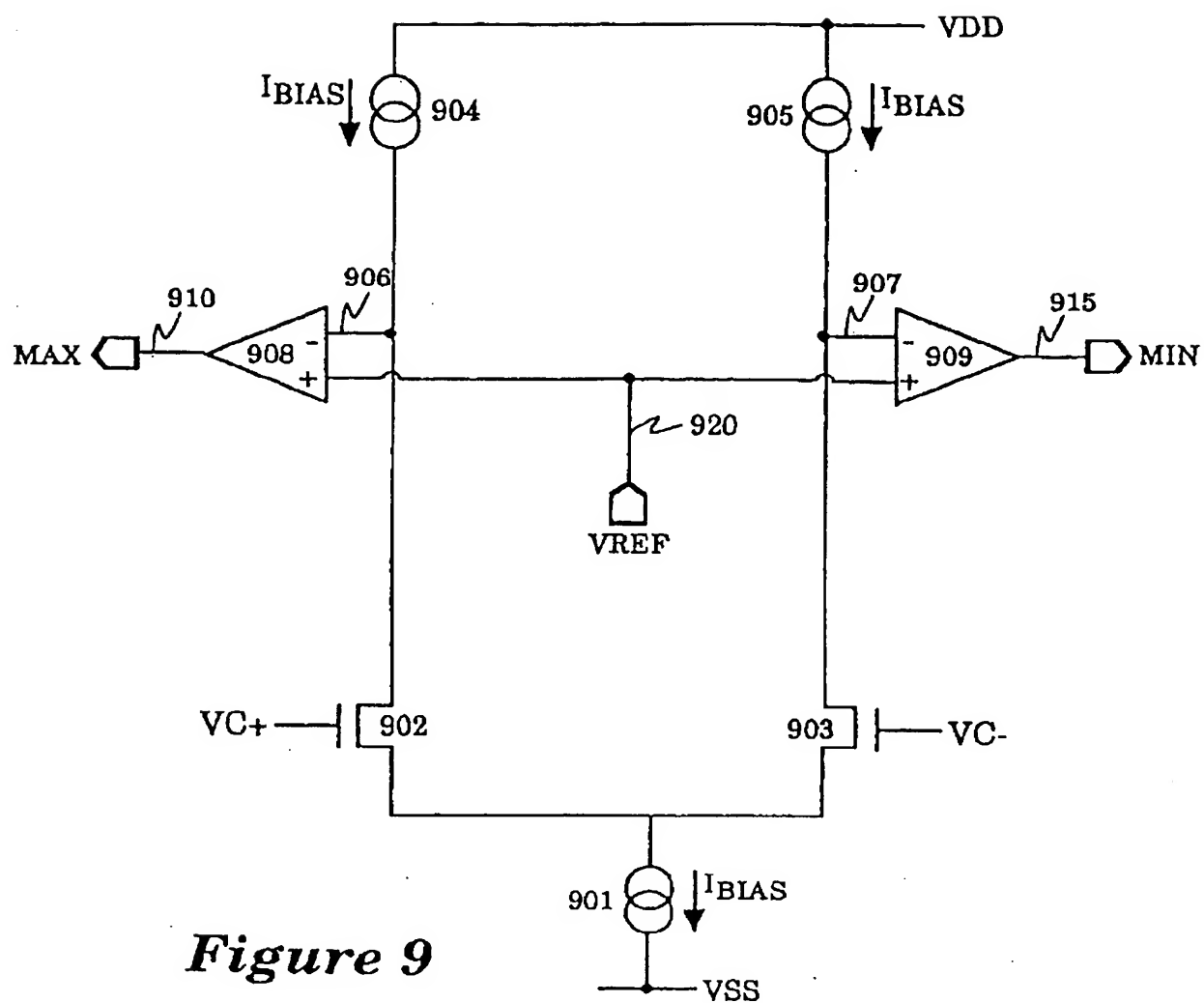


Figure 7

【図8】

*Figure 8*

【图 9】

**Figure 9**

【图 10】

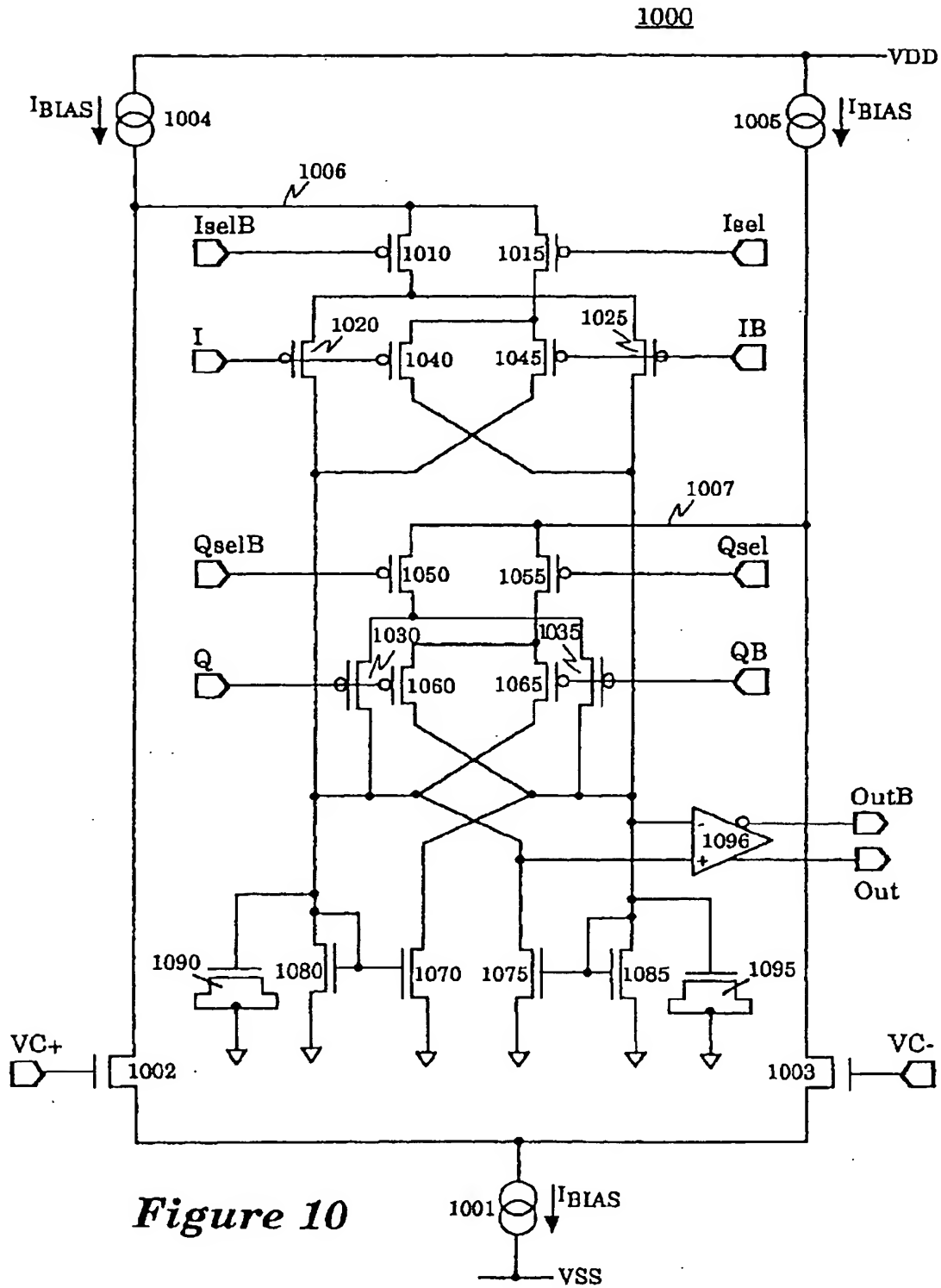
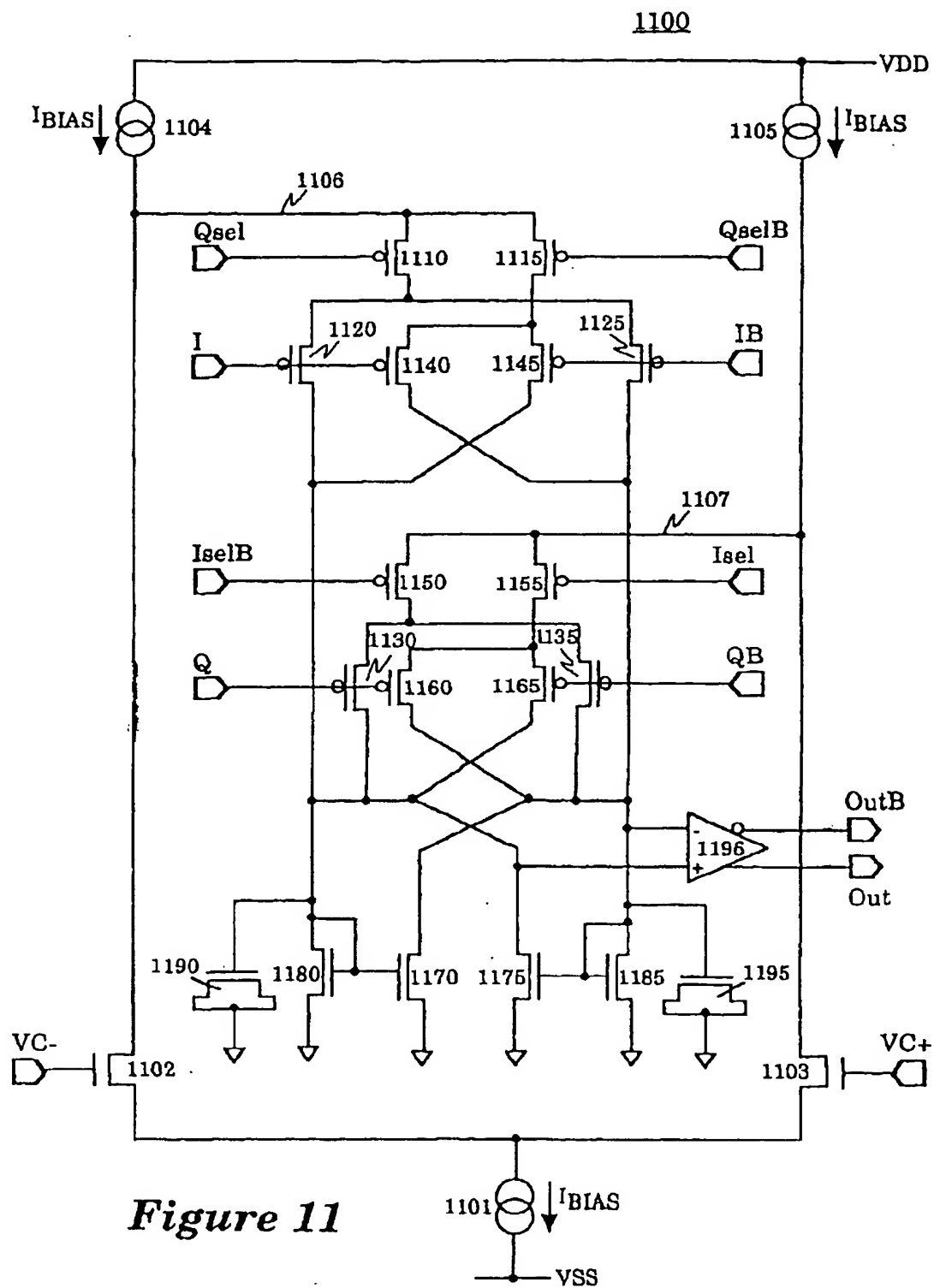


Figure 11



【国際調査報告】

INTERNATIONAL SEARCH REPORT

Internat'l Application No PCT/US 95/00836		
A. CLASSIFICATION OF SUBJECT MATTER IPC 6 H03H11/20		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 6 H03H		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	US,A,4 806 888 (S.T. SALVAGE ET AL) 21 February 1989 see the whole document	1,3,11, 12 2,4,7,9, 13
X A	EP,A,0 054 323 (PHILIPS) 23 June 1982 see page 16, line 7 - page 19, line 15; figures 8,11	1,3 2,4,7,8, 11-13
<input type="checkbox"/> Further documents are listed in the continuation of box C.		
<input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 16 May 1995		Date of mailing of the international search report 24.05.95
Name and mailing address of the ISA European Patent Office, P.B. 3818 Patendaan 2 NL - 2280 HV Rijswijk Tel. (+ 31-70) 340-2040, Tx. 31 651 epo nl, Fax (+ 31-70) 340-3016		Authorized officer Coppieters, C

INTERNATIONAL SEARCH REPORT

information on patent family members

Intern. Application No.

PCT/US 95/00836

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US-A-4806888	21-02-89	NONE	
EP-A-54323	23-06-82	GB-A- 2089609	23-06-82
		JP-A- 57123712	02-08-82
		US-A- 4431969	14-02-84

フロントページの続き

(81)指定国 EP(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG), AP(KE, MW, SD, SZ), AM, AT, AU, BB, BG, BR, BY, CA, CH, CN, CZ, DE, DK, EE, ES, FI, GB, GE, HU, JP, KE, KG, KP, KR, KZ, LK, LR, LT, LU, LV, MD, MG, MN, MW, MX, NL, NO, NZ, PL, PT, RO, RU, SD, SE, SI, SK, TJ, TT, UA, UZ, VN

(72)発明者 ホ, ツィルーチャン

アメリカ合衆国 95131 カリフォルニア
州・サンホゼ・スタントン ウェイ・1412